

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-118468

**(43)Date of publication of application : 19.04.2002**

(51)Int.Cl.

H03M 1/74

(21)Application number : 2000-308882

(71)Applicant : **KAWASAKI MICROELECTRONICS  
KK**

(22)Date of filing : 10.10.2000

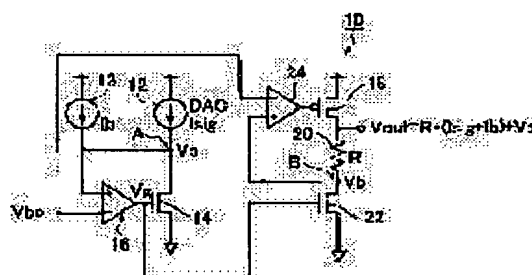
(72)Inventor : UENO MASAYUKI  
SERIZAWA CHIE  
TAKADA MASATOSHI

**(54) I/V CONVERTING CIRCUIT AND D/A CONVERTER**

**(57)Abstract:**

**PROBLEM TO BE SOLVED:** To convert the potential of an analog signal according to the input and output characteristics of a post stage circuit by solving linearity failure.

**SOLUTION:** A current mirror circuit is provided with a first element connected between a first node and a ground and a second element connected between a second node and the ground. The first element and second element of the current mirror circuit are controlled so that the voltage of the first node can be turned into the same voltage as a bias voltage by a first control circuit, and the third element is controlled so that the voltage of the second node can be turned into the same voltage as the voltage of the first node by a second control circuit, and currents to be supplied to the first node are current-mirrored to the second node, and currents to be supplied to the second node are converted into a voltage by the fourth element.



## LEGAL STATUS

**[Date of request for examination]**

**25.05.2001**

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3408788

**[Date of registration]**

**14.03.2003**

[Number of appeal against examiner's decision of rejection]

**[Date of requesting appeal against examiner's**

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-118468

(P2002-118468A)

(43) 公開日 平成14年4月19日 (2002.4.19)

(51) Int.Cl.<sup>7</sup>

H03M 1/74

識別記号

F I

H03M 1/74

特許庁 (参考)

5 J 0 2 2

審査請求 有 請求項の数 5 O L (全 6 頁)

(21) 出願番号 特願2000-308882 (P2000-308882)

(22) 出願日 平成12年10月10日 (2000.10.10)

(71) 出願人 501285133

川崎マイクロエレクトロニクス株式会社  
千葉県千葉市美浜区中瀬一丁目3番地

(72) 発明者 植野 雅之

東京都千代田区内幸町2丁目2番3号 川  
崎製鉄株式会社東京本社内

(72) 発明者 芹澤 千絵

東京都千代田区内幸町2丁目2番3号 川  
崎製鉄株式会社東京本社内

(74) 代理人 100080159

弁理士 渡辺 望穂 (外1名)

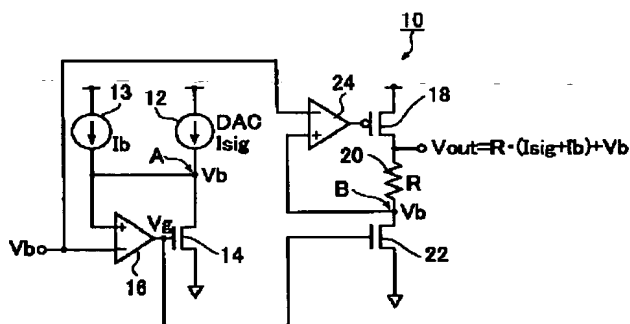
最終頁に続く

(54) 【発明の名称】 I/V変換回路およびDAコンバータ

(57) 【要約】

【課題】 リニアリティ不良を解消し、後段回路の入出力特性に応じてアナログ信号の電位を変換する。

【解決手段】 カレントミラー回路は、第1ノードとグラウンドとの間に接続された第1素子および第2ノードとグラウンドとの間に接続された第2素子を備えている。第1の制御回路により、第1ノードの電圧がバイアス電圧と同じ電圧となるように、カレントミラー回路の第1素子および第2素子を制御し、第2の制御回路により、第2ノードの電圧が第1ノードの電圧と同じ電圧となるように第3素子を制御して、第1ノードに供給される電流を第2ノードにカレントミラーし、第4素子により、第2ノードに供給される電流を電圧に変換する。



**THIS PAGE BLANK (USPTO)**

# 【特許請求の範囲】

【請求項1】第1ノードとグランドとの間に接続された第1素子および第2ノードとグランドとの間に接続された第2素子を有するカレントミラー回路と、

前記第1ノードの電圧がバイアス電圧と略等しい電圧となるように、前記カレントミラー回路の第1素子を制御し、前記第1ノードに供給される電流を前記第2ノードにカレントミラーする前記カレントミラー回路の第2素子を制御する第1の制御回路と、

前記第2ノードの電圧を調整する第3素子と、

前記第2ノードの電圧が前記第1ノードの電圧と略等しい電圧となるように、前記第3素子を制御する第2の制御回路と、

前記第2ノードに供給される電流を電圧に変換する第4素子とを備えていることを特徴とするI/V変換回路。

【請求項2】前記カレントミラー回路の第1素子および第2素子はN型MOSトランジスタ、前記第3素子はP型MOSトランジスタ、前記第4素子は抵抗素子であり、

前記第1の制御回路および前記第2の制御回路は、いずれもオペアンプであることを特徴とする請求項1に記載のI/V変換回路。

【請求項3】請求項1または2に記載のI/V変換回路であって、さらに、前記バイアス電圧の値を変更する手段を備えていることを特徴とするI/V変換回路。

【請求項4】アナログ信号に変換すべきデジタル信号に対応した合計電流を発生する電流発生回路と、この電流発生回路から前記第1ノードに電流が供給される請求項1～3のいずれかに記載のI/V変換回路とを備えていることを特徴とするDAコンバータ。

【請求項5】請求項4に記載のDAコンバータであって、さらに、前記電流発生回路から前記第1ノードに供給される電流を調整可能なバイアス電流供給手段を備えていることを特徴とするDAコンバータ。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、DAコンバータにおいて、デジタル信号に応じて、電流源から供給される合計電流を電圧に変換するI/V（電流/電圧）変換回路およびこれを用いたDAコンバータに関するものである。

【0002】

【従来の技術】図3は、電流セル型DAコンバータの一例の構成回路図である。同図に示す電流セル型DAコンバータ（以下、DACという）30は、各々電流 $I_{s1}$ 、 $I_{s2}$ 、 $I_{s3}$ を流す3つの電流源32、34、36と、これらの電流源32、34、36に各々対応して設けられた3つの切換スイッチ38、40、42と、I/V（電流/電圧）変換用の抵抗素子（抵抗値R）44とを備えている。ここでは、 $I_{s1} = I_{s2} = I_{s3}$ で

ある。

【0003】ここで、電流源32は、電源と切換スイッチ38との間に接続され、以下同様に、電流源34は電源と切換スイッチ40との間に、電流源36は電源と切換スイッチ42との間にそれぞれ接続されている。また、切換スイッチ38、40、42は、いずれもグランドとアナログ信号Voutとを切換可能に接続されている。また、抵抗素子44は、アナログ信号Voutとグランドとの間に接続されている。

【0004】図示例のDAC30において、切換スイッチ38、40、42は、このDAC30に入力されるデジタル信号（図示省略）に応じて、アナログ信号Vout側またはグランド側のいずれかに設定される。

【0005】例えば、デジタル信号が‘00’の場合、切換スイッチ38、40、42は全てグランド側に接続され、‘01’の場合には、切換スイッチ38がアナログ信号Vout側、切換スイッチ40、42はグランド側に接続され、‘10’の場合には切換スイッチ38、40がアナログ信号Vout側、切換スイッチ42はグランド側に接続され、‘11’の場合には、全ての切換スイッチ38、40、42がアナログ信号Vout側に接続される。

【0006】各々の電流源32、34、36から供給される電流 $I_{s1}$ 、 $I_{s2}$ 、 $I_{s3}$ は、前述のように、切換スイッチ38、40、42の設定に応じて、アナログ信号Vout側またはグランド側のいずれかに流れる。各々の電流源32、34、36から切換スイッチ38、40、42を介してアナログ信号Vout側に流れる合計電流 $I_{sig}$ が抵抗素子44によりI/V変換され、図4のグラフに示すように、アナログ信号 $V_{out} = R \cdot I_{sig}$ として出力される。

【0007】

【発明が解決しようとする課題】電流源32、34、36は、図3に示すように、例えばP型MOSトランジスタ（以下、PMOSという）等により構成される。ところが、PMOSを介して供給される電流 $I_s$ は、図5のグラフに示すように、PMOSのソース・ドレイン間の電圧 $V_{ds}$ が小さくなると共に少しずつ減少する。このため、図4のグラフにおいて、アナログ信号Voutの電位が高くなると共に、本来電圧 $b_1 = b_2 = b_3$ であるべきところが電圧 $b_1 > b_2 > b_3$ となり、DACのリニアリティ不良が生じるという問題がある。

【0008】ところで、図3に示すDAC30から出力されるアナログ信号Voutの最小値は0Vである。しかし、このアナログ信号Voutを利用する後段回路の入出力特性に応じて、アナログ信号Voutの出力レベルをシフトさせないと、後段回路ではアナログ信号Voutを使用することができない。従って、図6のグラフに左右矢印で示す後段回路の最適動作範囲に、DAC30のアナログ信号Voutをレベルシフトする必要があ

**THIS PAGE BLANK (USPTO)**

る。

【0009】ここで、図7(a)、(b)および(c)に、レベルシフト回路の一例の構成回路図を示す。

【0010】まず、同図(a)のレベルシフト回路50は、ソースホロワを利用したもので、2つのPMOS52, 54を備えている。PMOS52は電源とアナログ信号Voutとの間に接続され、そのゲートにはバイアス電圧Vbが入力されている。また、PMOS54はアナログ信号Voutとグランドとの間に接続され、そのゲートには信号INが入力されている。なお、信号INとしては、例えば図4に示すDAC30のアナログ信号Voutが入力される。

【0011】図示例のレベルシフト回路50において、PMOS52は、バイアス電圧Vbに応じた電流をアナログ信号Vout側へ供給し、PMOS54は、信号INの電圧に応じた電流をグランド側へ流す。これにより、信号INの電圧が高くなるに従ってアナログ信号Voutの電圧は上昇する。しかし、ソースホロワを利用したレベルシフト回路50は、元々回路的にリニアリティが悪いという問題がある。

【0012】続いて、同図(b)のレベルシフト回路56は、前述の合計電流Isigにバイアス電流Ibを加えてI/V変換するもので、DAC30のアナログ出力Vout側に流れる合計電流Isigに相当する電流を流す電流源58と、バイアス電流Ib用の電流源60と、抵抗素子62とを備えている。電流源58, 60は、どちらも電源とアナログ信号Voutとの間に接続され、抵抗素子62は、アナログ信号Voutとグランドとの間に接続されている。

【0013】このレベルシフト回路56では、合計電流Isigとバイアス電流Ibとが加算され、その合計電流Isig+Ibが抵抗素子62によりI/V変換され、アナログ信号Vout=(Isig+Ib)・Rとして出力される。しかし、バイアス電流Ibを利用したレベルシフト回路56では、アナログ信号Voutの電位がR・Ib上昇される分だけ、電流源32, 34, 36のPMOSのVdsが狭くなり、出力振幅が狭くなるという問題があった。

【0014】同図(c)のレベルシフト回路64は、オペアンプを利用したもので、DAC30のアナログ出力Vout側に流れる合計電流Isigに相当する電流を流す電流源66と、オペアンプ68と、抵抗素子70とを備えている。電流源66は、電源とオペアンプ68の端子-との間に接続されている。オペアンプ68の端子+はグランドに接続され、抵抗素子70は、オペアンプ68の端子-と出力端子(アナログ信号Vout)との間に接続されている。

【0015】このレベルシフト回路64では、アナログ信号Vout=-R・Isigとなる。すなわち、アナログ信号Voutの極性が逆転するため、アナログ信号

Voutの振幅をとるためには、広い電源電圧レンジが必要になるという問題があった。

【0016】本発明の目的は、前記従来技術に基づく問題点を解消し、リニアリティ不良を解消し、しかも、後段回路の入出力特性に応じて、アナログ信号の電位をレベルシフトすることができるI/V変換回路およびこれを用いたDAコンバータを提供することにある。

【0017】

【課題を解決するための手段】上記目的を達成するために、本発明は、第1ノードとグランドとの間に接続された第1素子および第2ノードとグランドとの間に接続された第2素子を有するカレントミラー回路と、前記第1ノードの電圧がバイアス電圧と略等しい電圧となるように、前記カレントミラー回路の第1素子を制御し、前記第1ノードに供給される電流を前記第2ノードにカレントミラーする前記カレントミラー回路の第2素子を制御する第1の制御回路と、前記第2ノードの電圧を調整する第3素子と、前記第2ノードの電圧が前記第1ノードの電圧と略等しい電圧となるように、前記第3素子を制御する第2の制御回路と、前記第2ノードに供給される電流を電圧に変換する第4素子とを備えていることを特徴とするI/V変換回路を提供するものである。

【0018】ここで、前記カレントミラー回路の第1素子および第2素子はN型MOSトランジスタ、前記第3素子はP型MOSトランジスタ、前記第4素子は抵抗素子であり、前記第1の制御回路および前記第2の制御回路は、いずれもオペアンプであるのが好ましい。また、上記記載のI/V変換回路であって、さらに、前記バイアス電圧の値を変更する手段を備えているのが好ましい。

【0019】また、本発明は、アナログ信号に変換すべきデジタル信号に対応した合計電流を発生する電流発生回路と、この電流発生回路から前記第1ノードに電流が供給される請求項1~3のいずれかに記載のI/V変換回路とを備えていることを特徴とするDAコンバータを提供する。ここで、上記記載のDAコンバータであって、さらに、前記電流発生回路から前記第1ノードに供給される電流を調整可能なバイアス電流供給手段を備えているのが好ましい。

【0020】

【発明の実施の形態】以下に、添付の図面に示す好適実施例に基づいて、本発明のI/V変換回路およびこれを用いたDAコンバータを詳細に説明する。

【0021】図1は、本発明のI/V変換回路の一実施例の構成回路図である。同図に示すI/V変換回路10は、本発明のDAコンバータ(DAC)の出力段に用いられる電流/電圧変換回路であって、図中左側に、N型MOSトランジスタ(NMOS)14と、オペアンプ(OP)16とを備え、右側に、P型MOSトランジスタ(PMOS)18と、抵抗素子(抵抗値R)20と、

**THIS PAGE BLANK (USPTO)**



NMOS 22と、オペアンプ 24とを備えている。

【0022】ここで、NMOS 14, 22は、それぞれ本発明のカレントミラー回路の第1素子および第2素子の一例となるものである。以下同様に、OP 16, 24は、それぞれ本発明の第1の制御回路および第2の制御回路、ノードA, Bは、それぞれ本発明の第1ノードおよび第2ノード、PMOS 18は第3素子、そして、抵抗素子 20は第4素子の一例となるものである。

【0023】なお、同図に示す電流源 12は、本発明のDACにおいて、アナログ信号に変換すべきデジタル信号に対応した電流を発生する電流発生回路であって、電源とNMOS 14との間に接続されている。この電流源 12は、例えば図3に示す電流セル型DAC 30を例に挙げて説明すれば、アナログ出力Vout側に流れる合計電流I<sub>sig</sub>を供給する。本発明のDACは、基本的に、この電流発生回路および図1に示すI/V変換回路 10により構成される。

【0024】また、同図に示す電流源 13は、電流源 12からノードAに供給される電流を調整可能なバイアス電流供給手段であって、同じく電源とNMOS 14との間に接続されている。この電流源 13は、ノードAにバイアス電流I<sub>b</sub>を供給し、ノードAに供給される総和電流を微調整する。なお、本発明のDACとして、電流源 13を備えていることは必須要件ではないが、図1に示す例のように、電流源 13を備えている方が好ましい。

【0025】図1に示すI/V変換回路 10において、図中左側のNMOS 14は電流源 12とグランドとの間に接続され、そのゲートには、OP 16からの出力信号が入力されている。なお、OP 16からの出力信号は、図中右側のNMOS 22のゲートにも入力されている。そして、OP 16の端子+には、電流源 12とNMOS 14との接続点のノードAが接続され、その端子-には、バイアス電圧V<sub>b</sub>が入力されている。

【0026】一方、図中右側のPMOS 18は、電源とアナログ信号Voutとの間に接続され、そのゲートには、OP 24からの出力信号が入力されている。また、OP 24の+端子には、抵抗素子 20とNMOS 22との接続点のノードBが接続され、その端子-には、バイアス電圧V<sub>b</sub>が入力されている。抵抗素子 20はアナログ信号VoutとNMOS 22との間に接続され、NMOS 22は、抵抗素子 20とグランドとの間に接続されている。

【0027】電流源 12から供給される合計電流I<sub>sig</sub>は、本発明のDACがアナログ信号に変換すべきデジタル信号に応じて変化する。これに対し、図示例のI/V変換回路 10では、OP 16の入力端子+および-の電圧が一致するように、言い換えると、ノードAの電圧が、合計電流I<sub>sig</sub>の変化に係わらず、バイアス電圧V<sub>b</sub>と同じ電圧となるように、OP 16の出力信号の電圧V<sub>g</sub>が変化する。

【0028】このように、本発明のI/V変換回路 10では、ノードAの電圧、すなわち、本発明のDACにおいて、デジタル信号に応じた合計電流を供給する電流源 12、例えば図3のDAC 30の場合を例に挙げて説明すると、電流源であるPMOSのソース・ドレイン間の電圧V<sub>ds</sub>が、常に一定電圧となるように制御されるため、DACのリニアリティ不良を解消することができる。

【0029】図示例のI/V変換回路 10において、NMOS 14, 22はカレントミラー回路を構成する。従って、OP 24により、ノードBはノードAと同じ電圧、すなわち、バイアス電圧V<sub>b</sub>と同じ一定電圧となるように制御される。ノードBには、合計電流I<sub>sig</sub>がカレントミラーされた電流が供給され、抵抗素子RによりI/V変換され、図2のグラフに示すように、電流源 13を備えている場合、アナログ信号Vout = R · (I<sub>sig</sub> + I<sub>b</sub>) + V<sub>b</sub>として出力される。

【0030】すなわち、図示例のI/V変換回路 10では、抵抗素子 20により、アナログ信号Voutの電圧レベルは、バイアス電圧V<sub>b</sub>の電圧にクランプされる。従って、DACのアナログ信号Voutを利用する後段回路の入出力特性に応じてバイアス電圧V<sub>b</sub>を適宜設定することにより、アナログ信号Voutの出力レベルを変換することができ、後段回路へのアナログ信号Voutの伝達を容易にすることができる。

【0031】なお、バイアス電圧V<sub>b</sub>の設定手段を備え、後段回路の入出力特性に応じてバイアス電圧V<sub>b</sub>を可変に設定可能とするのが好ましい。また、図1では、図面の煩雑さを避けるために省略したが、電流源 12から供給される合計電流I<sub>sig</sub> = 0 Aの場合、アナログ信号Vout = V<sub>b</sub>となるように制御する必要がある。このような制御に係る回路は何ら限定されず、どのような回路を用いて実現してもよい。

【0032】また、図1に示す実施例では、カレントミラー回路としてNMOS 14, 22を、また、第1および第2の制御回路としてOP 16, 24さらにPMOS 18をそれぞれ用いて、本発明のI/V変換回路 10を実現する具体例を挙げて説明している。しかし、本発明はこれに限定されず、同じ機能を実現する他の手段を用いて本発明のI/V変換回路を実現してもよい。

【0033】また、本発明のDACは、電流発生回路の出力段に、図1に示す本発明のI/V変換回路を用いたものである。例えば、本発明のDACは、図3に示す電流セル型DACにおいて、抵抗素子 44の代わりに、図1に示す本発明のI/V変換回路 10を適用したものである。電流発生回路は、アナログ信号に変換すべきデジタル信号に対応した合計電流を発生するものであれば何ら制限はなく、従来公知のものがいずれも利用可能である。

【0034】本発明は、基本的に以上のようなものであ

**THIS PAGE BLANK (USPTO)**

る。以上、本発明のI/V変換回路およびこれを用いたDAコンバータについて詳細に説明したが、本発明は上記実施例に限定されず、本発明の主旨を逸脱しない範囲において、種々の改良や変更をしてもよいのはもちろんである。

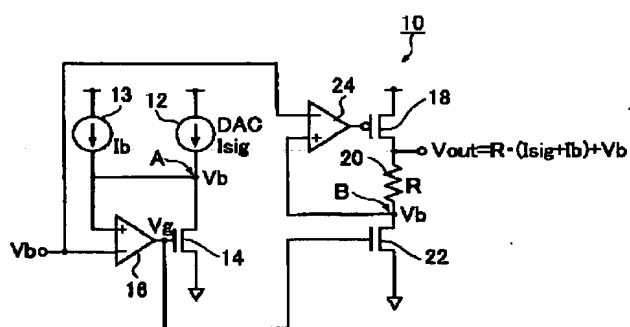
#### 【0035】

【発明の効果】以上詳細に説明した様に、本発明は、第1の制御回路により、第1ノードの電圧がバイアス電圧と同じ電圧となるように、カレントミラー回路の第1素子および第2素子を制御し、第2の制御回路により、第2ノードの電圧が第1ノードの電圧と同じ電圧となるように第3素子を制御して、第1素子から第2素子へカレントミラーされた電流を第4素子により電圧に変換するように構成したものである。これにより、本発明によれば、第1ノードの電圧、例えばDACの電流源となるMOSトランジスタのソース・ドレイン間の電圧が一定電圧に固定されるため、DACのリニアリティ不良を解消することができる。また、これに加えて、本発明によれば、バイアス電圧の設定を適宜変更し、DACのアナログ信号を利用する後段回路の入出力特性に応じて、アナログ信号の出力レベルを変換することにより、後段回路へのアナログ信号の伝達を容易にすることができる。

#### 【図面の簡単な説明】

【図1】 本発明のI/V変換回路の一実施例の構成回路図である。

【図1】



【図2】 図1に示すI/V変換回路の動作を表す一実施例のタイミングチャートである。

【図3】 電流セル型DAコンバータの一例の構成回路図である。

【図4】 図3に示す電流セル型DAコンバータの動作を表す一例のタイミングチャートである。

【図5】 電流源のI-Vds特性を表す一例のグラフである。

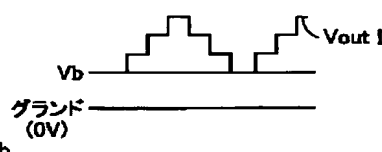
【図6】 DAコンバータの出力と次段回路の入力との関係を表す一例のグラフである。

【図7】 (a)、(b)および(c)は、いずれもレベルシフト回路の一例の構成回路図である。

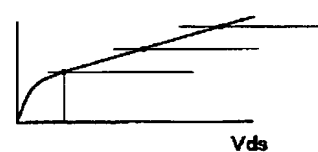
#### 【符号の説明】

- 10 I/V変換回路
- 14, 22 N型MOSトランジスタ (NMOS)
- 16, 24, 68 オペアンプ (OP)
- 18, 52, 54 P型MOSトランジスタ (PMOS)
- 20, 44, 62, 70 抵抗素子
- 30 電流セル型DAコンバータ (DAC)
- 12, 13, 32, 34, 36, 58, 60, 66 電流源
- 38, 40, 42 切換スイッチ
- 50, 56, 64 レベルシフト回路

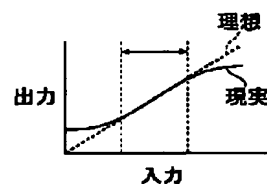
【図2】



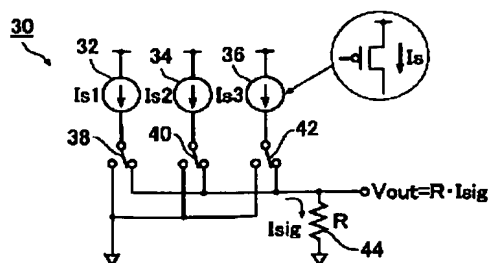
【図5】



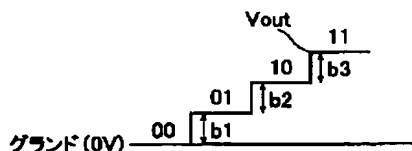
【図6】



【図3】



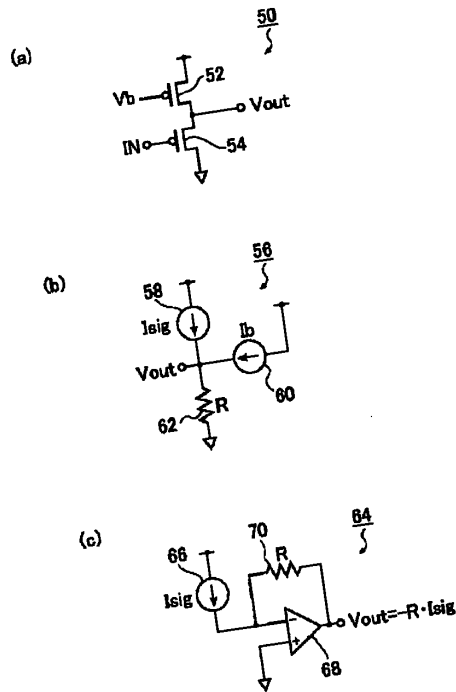
【図4】



**THIS PAGE BLANK (USF...)**

(6)

【図7】



フロントページの続き

Fターム(参考) 5J022 AB06 BA04 CF02 CF04 CF05  
CF07

(12) 発明者 ▲高▼田 昌利  
東京都千代田区内幸町2丁目2番3号 川  
崎製鉄株式会社東京本社内

THIS PAGE BLANK (USPTO)